

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Ji Yong PARK et al.

Application No.: TO BE ASSIGNED

Group Art Unit: TO BE ASSIGNED

Filed: December 15, 2003

Examiner:

For: THIN FILM TRANSISTOR WITH LDD/OFFSET STRUCTURE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Korean Patent Application No(s). 2002-80326

Filed: December 16, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP



By: \_\_\_\_\_

Michael D. Stein  
Registration No. 37,240

Date: December 15, 2003

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0080326  
Application Number

출원 년 월 일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

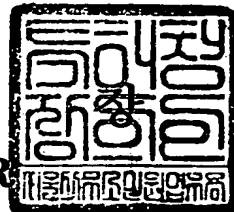
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 05 월 01 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.16
【발명의 명칭】	엘디디 /오프셋 구조를 구비하고 있는 박막 트랜지스터
【발명의 영문명칭】	THIN FILM TRANSISTOR HAVING LDD/OFFSET STRUCTURE
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK,JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이기용
【성명의 영문표기】	LEE,KI YONG
【주민등록번호】	630316-1002129
【우편번호】	449-731
【주소】	경기도 용인시 기흥읍 동성아파트 101-1406
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK,HYE HYANG
【주민등록번호】	771015-2657220

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1285-7, 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 LDD/오프셋 영역을 구비하고 있는 박막 트랜지스터에 관한 것으로, 상기 LDD/오프셋 영역에서는 폴리 실리콘 기판의 "프라이머리" 결정립 경계가 위치하지 않는 것을 특징으로 하는 박막 트랜지스터를 제공함으로써, 누설 전류 특성 등의 전기적 특성이 우수한 박막 트랜지스터를 제공할 수 있다.

**【대표도】**

도 5

**【색인어】**

다결정 실리콘, 프라이머리 결정립 경계, LDD/오프셋 영역

**【명세서】****【발명의 명칭】**

엘디디/오프셋 구조를 구비하고 있는 박막 트랜지스터{THIN FILM TRANSISTOR HAVING LDD/OFFSET STRUCTURE}

**【도면의 간단한 설명】**

도 1a는 동일한 결정립 크기  $G_s$  및 액티브 채널 차원  $L \times W$ 에 대하여 치명적인 결정립 경계의 수가 2인 TFT의 개략적인 단면을 도시한 도면이고, 도 1b는 치명적인 결정립 경계의 수가 3인 TFT의 개략적인 단면을 도시한 도면이다.

도 2a 및 도 2b는 종래 기술에 따라 SLS 결정화법에 의하여 형성된 입자 크기가 큰 실리콘 그래인을 포함한 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 3a 내지 도 3c는 또 다른 종래 기술에 따라 제조된 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 4는 구동 회로 기판 또는 디스플레이 상에 제작되는 TFT의 특성에 치명적인 영향을 줄 수 있는 치명적인 결정립 경계의 수가 TFT의 위치에 따라 달라질 수 있음을 나타내는 개략도이다.

도 5는 오프 셋 영역 또는 LDD 구조를 갖는 박막 트랜지스터의 단면도이다.

도 6은 오프 셋 영역 또는 LDD 구조를 갖는 박막 트랜지스터를 개략적으로 나타낸 평면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

## &lt;7&gt;        [산업상 이용분야]

<8>        본 발명은 LDD 영역을 구비하고 있는 박막 트랜지스터에 관한 것으로서, 더욱 상세하게는 전류 특성 등과 같은 전기적 특성이 우수한 LDD 영역을 구비하고 있는 박막 트랜지스터에 관한 것이다.

## &lt;9&gt;        [종래 기술]

<10>       다결정 실리콘을 이용한 TFT(Thin Film Transistor) 제작시, 액티브 채널(active channel) 영역 내에 포함되는 다결정 실리콘의 결정립 경계에 존재하는 원자 가표(dangling bonds) 등의 결함 결함은 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다.

<11>       따라서, 결정립의 크기, 크기 균일성, 수와 위치, 방향 등은 문턱 전압( $V_{th}$ ), 문턱치 경사(subthreshold slope), 전하 수송 이동도(charge carrier mobility), 누설 전류(leakage current), 및 디바이스 안정성(device stability) 등과 같은 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있음은 물론, TFT를 이용한 액티브 매트릭스 디스플레이(active matrix display) 기판 제작시 결정립의 위치에 따라서도 TFT의 균일성에도 치명적인 영향을 줄 수 있다.

<12>       이때, 디스플레이 디바이스의 전체 기판 위에 TFT의 액티브 채널 영역 내에 포함되는 치명적인 결정립 경계(이하, "프라이머리(primary)" 결정립 경계라 칭함)의 수는 결

정립의 크기, 기울어짐 각도  $\theta$ , 액티브 채널의 차원(dimension)(길이(L), 폭(W))과 기판 상의 각 TFT의 위치에 따라 같거나 달라질 수 있다(도 1a 및 도 1b).

<13> 도 1a 및 도 1b에서와 같이, 결정립 크기  $G_s$ , 액티브 채널 차원(dimension)  $L \times W$ , 기울어짐 각도  $\theta$ 에 대하여 액티브 채널 영역에 포함될 수 있는 "프라이머리" 결정립 경계의 수는, 최대 결정립 경계의 수를  $N_{max}$ 라 할 때, 즉 TFT 기판 또는 디스플레이 디바이스 상의 위치에 따라 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는  $N_{max}$ (도 1a의 경우 3개) 또는  $N_{max} - 1$ (도 1b의 경우 2개)개가 될 것이며, 모든 TFT에 대하여  $N_{max}$ 의 "프라이머리" 결정립 경계의 수가 액티브 채널 영역 내에 포함될 때 가장 우수한 TFT 특성의 균일성이 확보될 수 있다. 즉, 각각의 TFT가 동일한 수의 결정립 경계를 갖는 것이 많을수록 균일성이 우수한 디바이스를 얻을 수 있다.

<14> 반면,  $N_{max}$  개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수와  $N_{max} - 1$ 개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수가 동일하다면, TFT 기판 또는 디스플레이 디바이스 상에 있는 TFT 특성 중 균일성 면에서 가장 나쁘리라 쉽게 예상할 수 있다.

<15> 이에 대하여, SLS(Sequential Lateral Solidification) 결정화 기술을 이용하여 기판 상에 다결정 또는 단결정인 입자가 거대 실리콘 그레인(large silicon grain)을 형성할 수 있으며(도 2a 및 도 2b), 이를 이용하여 TFT를 제작하였을 때, 단결정 실리콘으로 제작된 TFT의 특성과 유사한 특성을 얻을 수 있는 것으로 보고되고 있다.

<16> 그러나, 액티브 매트릭스 디스플레이를 제작하기 위해서는 드라이버(driver)와 화소 배치(pixel array)를 위한 수많은 TFT가 제작되어야 한다.



- <17> 예를 들어, SVGA급 해상도를 갖는 액티브 매트릭스 디스플레이의 제작에는 대략 100만개의 화소가 만들어지며, 액정 표시 소자(Liquid Crystal Display; LCD)의 경우 각 화소에는 1개의 TFT가 필요하며, 유기 발광 물질을 이용한 디스플레이(예를 들어, 유기 전계 발광 소자)에는 적어도 2개 이상의 TFT가 필요하게 된다.
- <18> 따라서, 100만개 또는 200만개 이상의 TFT 각각의 액티브 채널 영역에만 일정한 숫자의 결정립을 일정한 방향으로 성장시켜 제작하는 것은 불가능하다.
- <19> 이를 구현하는 방법으로는 PCT 국제 특허 WO 97/45827호에서 개시된 바와 같이, 비정질 실리콘을 PECVD, LPCVD 또는 스퍼터링법에 의하여 증착한 후 SLS 기술로 전체 기판 상의 비정질 실리콘을 다결정 실리콘으로 변환하거나, 기판 상의 선택 영역만을 결정화하는 기술이 개시되어 있다(도 2a 및 도 2b 참조).
- <20> 선택 영역 역시 수  $\mu\text{m}$   $\times$  수  $\mu\text{m}$ 의 차원을 갖는 액티브 채널 영역에 비하면 상당히 넓은 영역이다. 또한, SLS 기술에서 사용하는 레이저 빔 크기(laser beam size)는 대략 수 mm  $\times$  수십 mm로서 기판 상의 전체 영역 또는 선택 영역의 비정질 실리콘을 결정화하기 위해서는 필연적으로 레이저 빔 또는 스테이지(stage)의 스텝핑(steping) 및 쉬프팅(shifting)이 필요하며, 이 때 레이저빔이 조사되는 영역간의 미스얼라인(misalign)이 존재하게 되고, 따라서, 수많은 TFT의 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 달라지게 되며, 전체 기판 상 또는 드라이버 영역, 화소 셀 영역 내의 TFT는 예측할 수 없는 불균일성을 갖게 된다. 이러한 불균일성은 액티브 매트릭스 디스플레이 디바이스를 구현하는데 있어서 치명적인 악영향을 미칠 수 있다.
- <21> 또한, 미국 특허 제6,177,391호에서는 SLS 결정화 기술을 이용하여 거대 입자 실리콘 그레인(large silicon grain)을 형성하여 드라이버와 화소 배치를 포함한 LCD 디바이

스용 TFT 제작시 액티브 채널 방향이 SLS 결정화 방법에 의하여 성장된 결정립 방향에 대하여 평행한 경우 전하 캐리어(electric charge carrier) 방향에 대한 결정립 경계의 배리어(barrier) 효과가 최소가 되며(도 3a), 따라서, 단결정 실리콘에 버금가는 TFT 특성을 얻을 수 있는 반면, 액티브 채널 방향과 결정립 성장 방향이 90 °인 경우 TFT 특성이 전하 캐리어(electric charge carrier)의 트랩으로 작용하는 많은 결정립 경계가 존재하게 되며, TFT 특성이 크게 저하된다(도 3b).

<22> 실제로, 액티브 매트릭스 디스플레이 제작시 구동 회로(driver circuit) 내의 TFT와 화소 셀 영역 내의 TFT는 일반적으로 90 °의 각도를 갖는 경우가 있으며, 이 때, 각 TFT의 특성을 크게 저하시키지 않으면서, TFT 간 특성의 균일성을 향상시키기 위해서는 결정 성장 방향에 대한 액티브 채널 영역의 방향을 30 °내지 60 °의 각도로 기울어지게 제작함으로써 디바이스의 균일성을 향상시킬 수 있다(도 3c).

<23> 그러나, 이 방법 역시 SLS 결정화 기술에 의해 형성되는 유한 크기의 결정립을 이용하여함으로써, 치명적인 결정립 경계가 액티브 채널 영역 내에 포함될 확률이 존재하며, 따라서, TFT 간 특성 차이를 야기시키는 예측할 수 없는 불균일성이 존재하게 된다는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 전류 특성 등과 같은 전기적 특성을 향상시키기 위하여 폴리실리콘의 "프라이머리" 결정립 경계가 LDD(Lightly Doped Drain)/오프셋(Offset) 영역에 포함되지 않는 LDD/오프셋 영역을 구비하고 있는 유기 전계 발광 소자를 제공하는 것이다.

## 【발명의 구성 및 작용】

- <25> 본 발명은 상기한 목적을 달성하기 위하여,
- <26> 또한, 본 발명은
- <27> LDD(Lightly Doped Drain)/오프셋(Offset) 영역을 구비하고 있는 박막 트랜지스터 (TFT)에 있어서,
- <28> 상기 LDD/오프셋 영역에서는 폴리 실리콘 기판의 "프라이머리" 결정립 경계가 위치 하지 않는 것을 특징으로 하는 박막 트랜지스터를 제공한다.
- <29> 이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.
- <30> 액티브 매트릭스 디스플레이용 TFT 제작시 TFT 특성에 직접, 간접적으로 중대한 영향을 미치는 다결정 실리콘의 결정립이 TFT 특성 향상을 위하여 크고 규칙화되는 경우, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에는 결정립 경계가 발생한다.
- <31> 본 발명에서 "결정립 크기"라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계의 거리라고 정의한다.
- <32> 특히, 결정립 경계가 액티브 채널(active channel) 영역 내에 존재할 때 TFT 특성에 치명적인 영향을 주는 결정립 경계, 즉, 액티브 채널 방향의 수직 방향에 대한 결정립 경계의 기울어짐 각도가  $-45^\circ \leq \theta \leq 45^\circ$ 인 "프라이머리" 결정립 경계의 경우, 다결정 실리콘 박막의 형성시 공정 정밀성의 한계로 인하여 피할 수 없는 결함이 된다.
- <33> 또한, 구동 회로 기판 또는 디스플레이 기판 상에 제작되는 TFT 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 결정립의 크기, 방향, 액티브 채널의

차원 등에 따라 달라질 수 있고(도 4), 따라서, 제작되는 TFT 및 디스플레이의 특성이 불균일하게 되거나, 심지어 구동이 되지 않게 된다.

<34> 본 발명에서는 이러한 "프라이머리" 결정립 경계가 LDD 구조의 TFT에서 LDD 영역에 존재하게 되면 TFT 특성에 영향을 미치게 된다는 점에 착안하여 발명하게 되었다.

<35> 통상적으로 오프 셋 영역은 소스 전극과 드레인 전극 사이의 도핑되지 않은 영역을 말하며, 오프셋 영역을 개재시킴으로써 누설 전류를 차단할 수 있고, 또한, 이러한 오프 셋 영역에 불순물을 저밀도 이온 도핑을 통해 LDD(Lightly Doped Drain) 영역을 추가하여 박막 트랜지스터의 오프시 누설 전류인 오프 전류를 감소시킬 수 있다.

<36> 도 5는 오프 셋 영역 또는 LDD 구조를 갖는 박막 트랜지스터의 단면도이다.

<37> 도 5를 참조하면, 통상의 오프 셋 영역 또는 LDD 구조를 갖는 박막 트랜지스터는 기판(11) 상에 버퍼층(12), 활성층(13) 및 게이트 절연막(14)이 형성되어 있다. 이 위에 도전성인 게이트 전극(15)이 형성되어 있으며, 게이트 절연막(14) 전면에 걸쳐 패시베이션 층(16)이 형성되어 있다. 그리고, 게이트 절연막(14)과 패시베이션 층(16)에 콘택 홀을 형성하고, 패시베이션 층(16) 전면에 도전층을 형성하고 패터닝하여 드레인 및 소스 전극(17)이 형성되어 있다.

<38> 한편, 활성층(13)에는 고농도의 불순물로 도핑된 드레인 및 소스 영역(13a)이 형성되어 있고, 게이트 전극(15) 하부의 활성층(13) 내에는 채널 영역(I)이 형성되고, 드레인 영역(13a)과 채널 영역(I) 사이와 소스 영역(13a)과 채널 영역(I) 사이에는 저농도의 불순물로 도핑된 LDD 영역(II)이 형성되어 있다.

- <39> 이때 통상적으로 활성층(13)은 비정질 실리콘을 결정화시켜 다결정 실리콘을 패터닝하여 형성되는데, 앞서 살펴본 바와 같이, 다결정 실리콘에는 결정립 경계를 가질 수 있고, 특히, "프라이머리" 결정립 경계가 TFT의 전기적 특성과 연관성이 많이 나타난다.
- <40> 즉, "프라이머리" 결정립 경계는 소스에서 드레인으로 흐르는 전류의 배리어로서 작용하므로 구동 전류 등에 영향을 많이 끼치고 있다.
- <41> 본 발명에서는 누설 전류를 방지하고자 형성한 LDD 영역(Ⅱ) 내에 활성층(13)을 형성하는 폴리 실리콘의 "프라이머리" 결정립 경계가 위치하지 않도록 함으로써 누설 전류의 특성이 우수해 짐을 알 수 있었다.
- <42> 도 6은 오프 셋 영역 또는 LDD 구조를 갖는 박막 트랜지스터를 개략적으로 나타낸 평면도이다.
- <43> 도 6을 참조하면, 활성층(13)에 "프라이머리" 결정립 경계가 형성되지 않도록 폴리 실리콘에 형성된 "프라이머리" 결정립 경계 사이의 폭을 조정하여 박막 트랜지스터를 형성할 수 있다.
- <44> 또한, 활성층(13)에 "프라이머리" 결정립 경계가 포함되지 않도록 활성층(13)을 형성할 수 있다. 이러한 경우에는 활성층(13)을 형성하는 폴리 실리콘의 "프라이머리" 결정립 경계 사이의 폭이 활성층(13) 전체의 폭보다 더 커야 된다.
- <45> 이에 따라, 본 발명에 의한 박막 트랜지스터는 누설 전류 특성 등의 전기적 특성이 우수하여 디바이스의 특성이 좋아진다. 상기 디바이스로는 반도체 디바이스 또는 디스

플레이 디바이스이면 무관하며, 디스플레이 디바이스로는 액정 표시 장치(LCD) 또는 유기 전계 발광 소자(EL)를 사용하는 것이 바람직하다.

<46>       상기 활성층을 형성하는 폴리 실리콘은 SLS(Sequential Lateral Solidification) 방법으로 형성되는 것이 바람직하다.

**【발명의 효과】**

<47>       본 발명에 따른 박막 트랜지스터는 TFT의 전기적 특성이 우수하고 또한 디바이스의 신뢰성이 향상되어 우수한 특성의 TFT를 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

LDD(Lightly Doped Drain) 영역 또는 오프셋(Offset) 영역을 구비하고 있는 박막 트랜지스터(TFT)에 있어서,

상기 LDD 또는 오프셋 영역에서는 폴리 실리콘 기판의 "프라이머리" 결정립 경계가 위치하지 않는 것을 특징으로 하는 박막 트랜지스터.

**【청구항 2】**

제 1항에 있어서,

상기 LDD 영역 또는 오프셋 영역을 포함하는 활성층의 폭이 "프라이머리" 결정립 경계 사이의 거리보다 작은 것인 박막 트랜지스터.

**【청구항 3】**

제 1항에 있어서,

상기 폴리 실리콘 기판은 SLS(Sequential Lateral Solidification) 방법으로 형성되는 것인 박막 트랜지스터.

**【청구항 4】**

제 1항에 있어서,

상기 박막 트랜지스터는 액정 표시 장치(LCD) 또는 유기 전계 발광 소자(EL)에 사용되는 것인 박막 트랜지스터.

**【청구항 5】**

제 1항에 있어서,



상기 프라이머리 결정립 경계와 상기 액티브 채널 영역이 서로 평행하게 배치된 박막 트랜지스터.

【청구항 6】

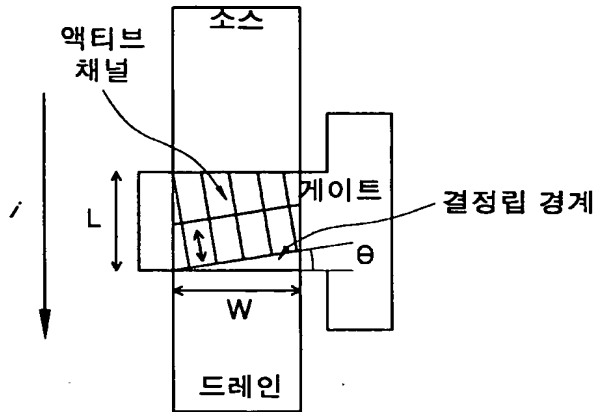
제 1항에 있어서,

상기 프라이머리 결정립 경계와 상기 액티브 채널 영역이 이루는 각도가  $-45^{\circ} \leq \theta \leq 45^{\circ}$ 인 박막 트랜지스터.

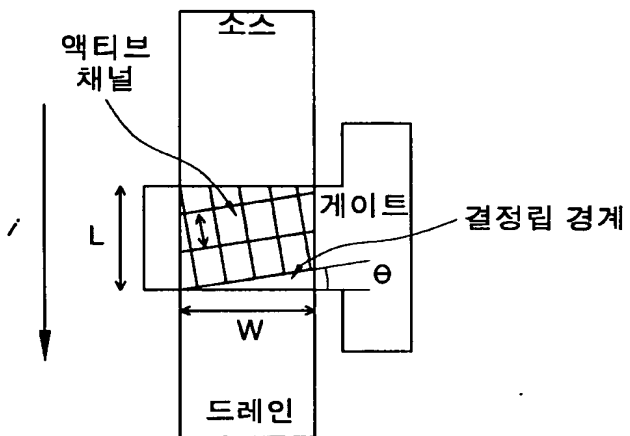


## 【도면】

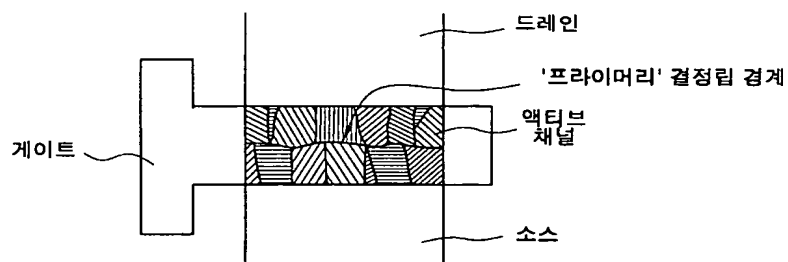
【도 1a】



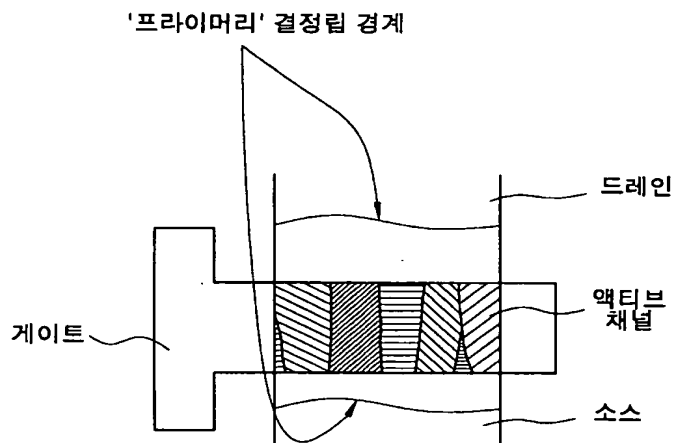
【도 1b】



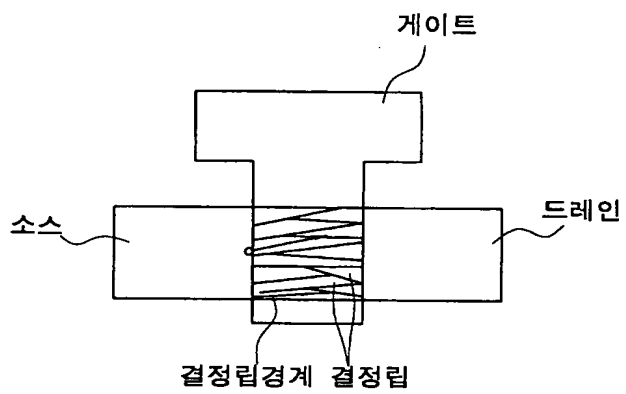
【도 2a】



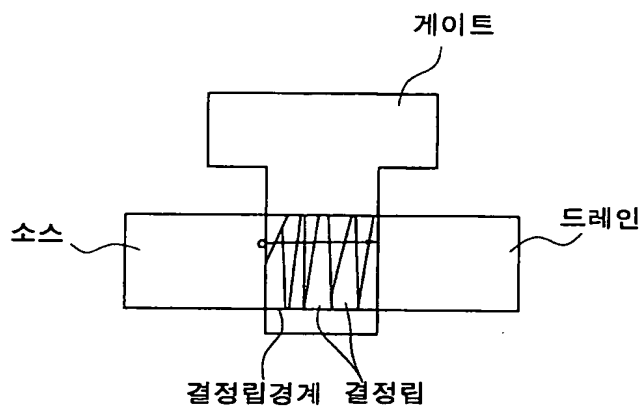
【도 2b】



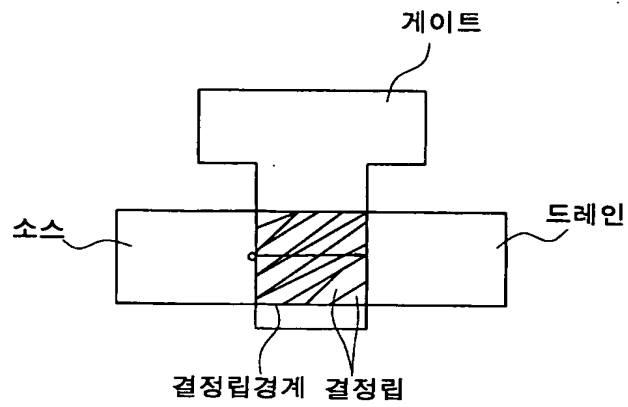
【도 3a】



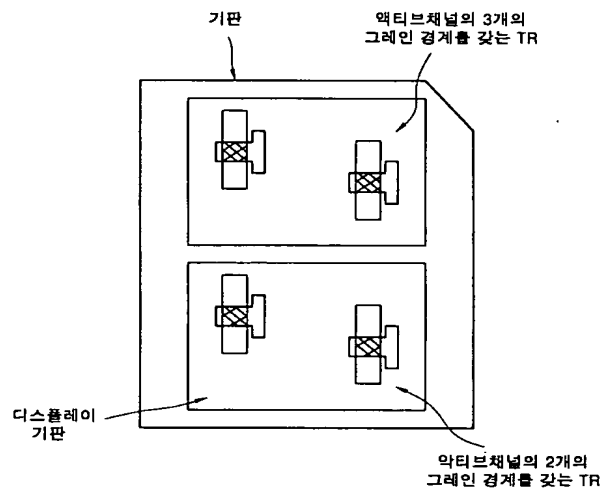
【도 3b】



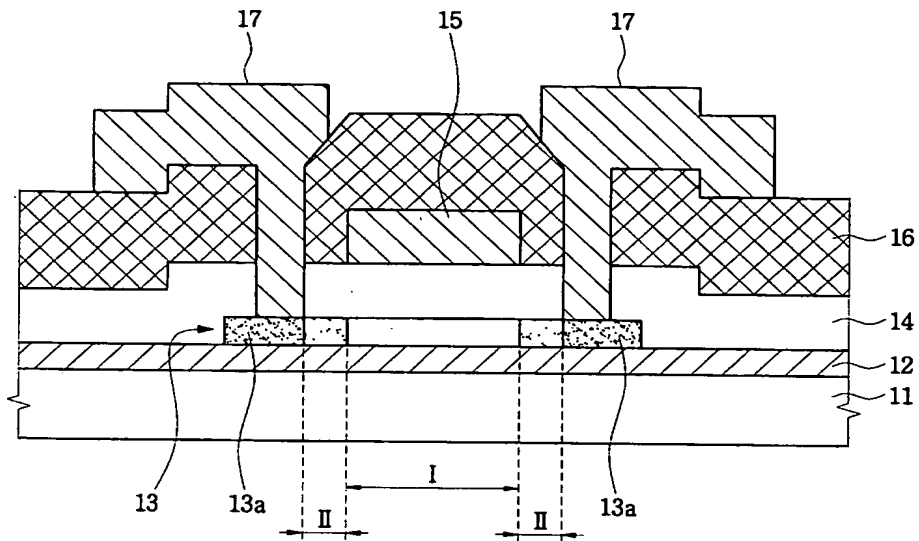
【도 3c】



【도 4】



【도 5】



【도 6】

